

PAT-NO: JP410302475A

DOCUMENT-IDENTIFIER: JP 10302475 A

TITLE: MEMORY CONTROL DEVICE

PUBN-DATE: November 13, 1998

INVENTOR-INFORMATION:

NAME

AOKI, MUTSUMI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP09109827

APPL-DATE: April 25, 1997

INT-CL (IPC): G11C011/41, G11C007/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a multi-port memory which can execute read-after-write fast by supplying a read precharge clock and a write precharge clock to the memory with half cycle staggered.

SOLUTION: Write pre-charge is made while the system clock 4 is not asserted. When the clock is asserted, the write word line in the memory cell array 60 is driven through the write word driver 51 and the data given to the input data line 61 is written into each cell of the designated address. On the other hand, concurrently read precharge is made while the system clock is asserted. When the system clock 14 comes to be asserted no longer, the read word line inside the memory cell array 60 is driven through the word driver 52 and data is read out from each cell in the designated address to be outputted to the output data line.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-302475

(43) 公開日 平成10年(1998)11月13日

(51) IntCl⁶

G11C 11/41
7/00

識別記号

313

FI

G11C 11/34
7/00
11/34

K

313

M

301D

審査請求 有 請求項の数8 OL (全8頁)

(21) 出願番号 特願平9-109827

(22) 出願日 平成9年(1997)4月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 青木 睦

東京都港区芝五丁目7番1号 日本電気株式会社社内

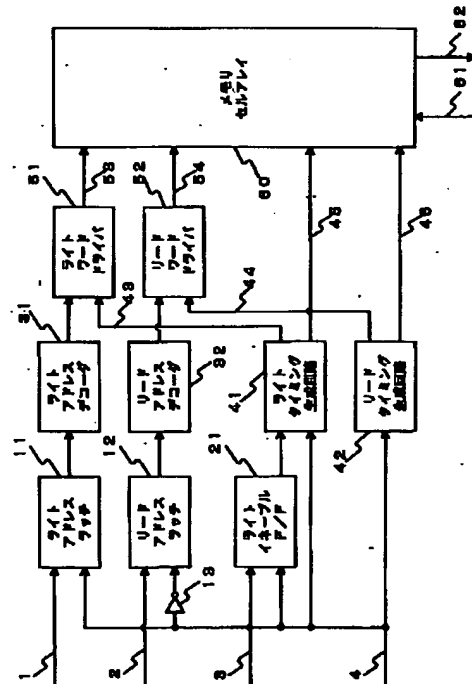
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 メモリ制御装置

(57) 【要約】

【課題】 高速動作時においても1サイクルでライト後のデータをリードするマルチポートメモリを提供する。

【解決手段】 ライトアドレス1を保持するライトアドレスラッチ11と、ライトアドレス2をデコードするライトアドレスデコーダ31と、リードアドレス2を保持するリードアドレスフリップフロップ12と、リードアドレスをデコードするリードアドレスデコーダ32と、ライトイネーブル信号3を保持するライトイネーブルフリップフロップ21と、ライト用ワード線53を駆動するライトワードドライバ51と、リード用ワード線54を駆動するリードワードドライバ52と、ライトタイミングを生成するライトタイミング生成回路41と、リードタイミングを生成するリードタイミング生成回路42とを含む。



【特許請求の範囲】

【請求項1】 リードプリチャージクロックとライトプリチャージクロックとをずらしてメモリに供給することを特徴とするメモリ制御装置。

【請求項2】 システムクロックに基づいてリードプリチャージクロックをメモリに供給するリードタイミング生成回路と、

前記リードプリチャージクロックの反転信号であるライトプリチャージクロックを前記メモリに供給するライトタイミング生成回路とを含むことを特徴とするメモリ制御装置。

【請求項3】 リードアドレスをデコードするリードアドレスデコーダと、

前記メモリのリード用ワード線を駆動するリードワードドライバとをさらに含み、

前記リードタイミング生成回路は前記リードプリチャージクロックの反転信号をリードクロックとして生成し、前記リードワードドライバは前記リードタイミング生成回路が生成した前記リードクロックのタイミングで前記リードアドレスデコーダによるデコード結果に従って前記メモリのリード用ワード線を駆動することを特徴とする請求項2記載のメモリ制御装置。

【請求項4】 ライトアドレスをデコードするライトアドレスデコーダと、

前記メモリのライト用ワード線を駆動するライトワードドライバとをさらに含み、

前記ライトタイミング生成回路はライトイネーブル信号と前記リードプリチャージクロックとの論理積をライトパルスとして生成し、

前記ライトワードドライバは前記ライトタイミング生成回路が生成した前記ライトパルスのタイミングで前記ライトアドレスデコーダによるデコード結果に従って前記メモリのライト用ワード線を駆動することを特徴とする請求項2記載のメモリ制御装置。

【請求項5】 ライトアドレスをデコードするライトアドレスデコーダと、

前記メモリのライト用ワード線を駆動するライトワードドライバとをさらに含み、

前記ライトタイミング生成回路はライトイネーブル信号と前記リードプリチャージクロックとの論理積をライトパルスとして生成し、

前記ライトワードドライバは前記ライトタイミング生成回路が生成した前記ライトパルスのタイミングで前記ライトアドレスデコーダによるデコード結果に従って前記メモリのライト用ワード線を駆動することを特徴とする請求項3記載のメモリ制御装置。

【請求項6】 前記システムクロックがアサートされている間はリードアドレスをそのまま出力し前記システムクロックがアサートされていない間は前記システムクロックがアサートされなくなる直前のリードアドレスを保

持して出力するリードアドレスラッチをさらに含み、前記リードアドレスデコーダは前記リードアドレスラッチの出力するリードアドレスをデコードすることを特徴とする請求項3記載のメモリ制御装置。

【請求項7】 前記システムクロックがアサートされていない間はライトアドレスをそのまま出力し前記システムクロックがアサートされている間は前記システムクロックがアサートされる直前のライトアドレスを保持して出力するライトアドレスラッチをさらに含み、

前記ライトアドレスデコーダは前記ライトアドレスラッチの出力するライトアドレスをデコードすることを特徴とする請求項4記載のメモリ制御装置。

【請求項8】 前記システムクロックのエッジでライトイネーブル信号を保持して出力するライトイネーブルフリップフロップをさらに含み、

前記ライトタイミング生成回路は前記ライトイネーブルフリップフロップの出力したライトイネーブル信号と前記リードプリチャージクロックとの論理積をライトパルスとして生成することを特徴とする請求項3記載のメモリ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ制御装置に関し、特にリードアフターライト機能を有するマルチポートRAMを制御するメモリ制御装置に関する。

【0002】

【従来の技術】マルチポートRAMは、複数のポートがメモセルを共有し、アクセスポート数に応じた複数のワード線及びデータ線を有することにより、複数のワードの書き込み及び読み出しを同時に行うことができるものである。プロセッサの処理能力の向上により、要求されるポート数も増え、しかも高速な処理が要求されるようになった。また、メモセルに書き込んだデータを同一サイクルで読み出す、いわゆるリードアフターライト機能も要求されるようになってきている。

【0003】従来この種の技術では、ライト完了までリード用ワード線を駆動していなければならず、高速動作のための障害となっている。以下、図面を参照してこれについて説明する。

【0004】図5を参照すると、従来のメモリ制御装置は、ライトアドレス1を保持するライトアドレスフリップフロップ91と、ライトアドレス2をデコードするライトアドレスデコーダ31と、リードアドレス2を保持するリードアドレスフリップフロップ92と、リードアドレスをデコードするリードアドレスデコーダ32と、ライトイネーブル信号3を保持するライトイネーブルフリップフロップ21と、システムクロック4を遅延させるディレイゲート99と、ライト用ワード線53を駆動するライトワードドライバ51と、リード用ワード線54を駆動するリードワードドライバ52とを含んでい

る。

【0005】図5および図6を参照すると、従来のメモリ制御装置はディレイゲート99の出力を反転したものをプリチャージ信号46として使用している。そして、ディレイゲート99の出力をリード用ワードドライバ駆動信号44として使用している。また、ディレイゲート99の入出力およびライトイネーブルフリップフロップ21の出力の論理積をとったものをライト用ワードドライバ駆動信号線（ライトパルス）43とすることにより、ライト後のリード時間を確保している。

【0006】

【発明が解決しようとする課題】上述の従来技術では、ライト後のリード時間を確保するために一つのサイクルを十分大きくしておかなければならない。すなわち、書込みに係るセルと読出しに係るセルとが異なるものであれば必ずしもライト後にリード時間を確保する必要はないが、セルが異なることが保証されない限りは最悪のケースを考慮して設計する必要がある。

【0007】一方、メモリの外部にライトアドレスとリードアドレスとを比較する比較回路を設けることにより、書込みに係るセルと読出しに係るセルとが異なるものであることを保証して、ライト後のリード時間を不要にすることも可能である。しかし、この場合には上記比較回路や一致検出時にライトデータを出力側にバイパスする回路が必要となり、全体として複雑な回路構成となる。

【0008】本発明の目的は、上記問題点に鑑み、高速にリードアフターライトを行うマルチポートメモリを提供することにある。

【0009】

【課題を解決するための手段】上記課題を解決するために本発明のメモリ制御装置は、リードプリチャージクロックとライトプリチャージクロックとをずらしてメモリに供給する。

【0010】本発明の他のメモリ制御装置は、システムクロックに基づいてリードプリチャージクロックをメモリに供給するリードタイミング生成回路と、前記リードプリチャージクロックの反転信号であるライトプリチャージクロックを前記メモリに供給するライトタイミング生成回路とを含む。

【0011】本発明の他のメモリ制御装置は、リードアドレスをデコードするリードアドレスデコーダと、前記メモリのリード用ワード線を駆動するリードワードドライバとをさらに含み、前記リードタイミング生成回路は前記リードプリチャージクロックの反転信号をリードクロックとして生成し、前記リードワードドライバは前記リードタイミング生成回路が生成した前記リードクロックのタイミングで前記リードアドレスデコーダによるデコード結果に従って前記メモリのリード用ワード線を駆動する。

【0012】本発明の他のメモリ制御装置は、ライトアドレスをデコードするライトアドレスデコーダと、前記メモリのライト用ワード線を駆動するライトワードドライバとをさらに含み、前記ライトタイミング生成回路はライトイネーブル信号と前記リードプリチャージクロックとの論理積をライトパルスとして生成し、前記ライトワードドライバは前記ライトタイミング生成回路が生成した前記ライトパルスのタイミングで前記ライトアドレスデコーダによるデコード結果に従って前記メモリのライト用ワード線を駆動する。

【0013】本発明の他のメモリ制御装置は、ライトアドレスをデコードするライトアドレスデコーダと、前記メモリのライト用ワード線を駆動するライトワードドライバとをさらに含み、前記ライトタイミング生成回路はライトイネーブル信号と前記リードプリチャージクロックとの論理積をライトパルスとして生成し、前記ライトワードドライバは前記ライトタイミング生成回路が生成した前記ライトパルスのタイミングで前記ライトアドレスデコーダによるデコード結果に従って前記メモリのライト用ワード線を駆動する。

【0014】本発明の他のメモリ制御装置は、前記システムクロックがアサートされている間はリードアドレスをそのまま出力し前記システムクロックがアサートされていない間は前記システムクロックがアサートされなくなる直前のリードアドレスを保持して出力するリードアドレスラッチをさらに含み、前記リードアドレスデコーダは前記リードアドレスラッチの出力するリードアドレスをデコードする。

【0015】本発明の他のメモリ制御装置は、前記システムクロックがアサートされていない間はライトアドレスをそのまま出力し前記システムクロックがアサートされている間は前記システムクロックがアサートされる直前のライトアドレスを保持して出力するライトアドレスラッチをさらに含み、前記ライトアドレスデコーダは前記ライトアドレスラッチの出力するライトアドレスをデコードする。

【0016】本発明の他のメモリ制御装置は、前記システムクロックのエッジでライトイネーブル信号を保持して出力するライトイネーブルフリップフロップをさらに含み、前記ライトタイミング生成回路は前記ライトイネーブルフリップフロップの出力したライトイネーブル信号と前記リードプリチャージクロックとの論理積をライトパルスとして生成する。

【0017】

【発明の実施の形態】次に本発明のメモリ制御装置の実施の形態について図面を参照して詳細に説明する。

【0018】図1を参照すると、本発明の実施の形態は、ライトアドレス1を保持するライトアドレスラッチ11と、ライトアドレス2をデコードするライトアドレスデコーダ31と、リードアドレス2を保持するリード

アドレスフリップフロップ12と、リードアドレスをデコードするリードアドレスデコーダ32と、ライトイネーブル信号3を保持するライトイネーブルフリップフロップ21と、ライト用ワード線53を駆動するライトワードドライバ51と、リード用ワード線54を駆動するリードワードドライバ52とを含んでいる。また、ライトタイミングを生成するライトタイミング生成回路41及びリードタイミングを生成するリードタイミング生成回路42を含んでいる。

【0019】メモリセルアレイ60は、ライトプリチャージ信号線45およびリードプリチャージ信号線46がアサートされるタイミングでそれぞれライトプリチャージおよびリードプリチャージを行う。また、メモリセルアレイ60は、ライトワード線53およびリードワード線54がアサートされるタイミングでそれぞれライト動作およびリード動作を行う。また、データ入力線61を介して受け取ったデータを指定されたアドレスの各セルに書き込み、また、読み出しアドレスとして指定されたアドレスの各セルの値をデータ出力線62に出力する。

【0020】ライトアドレスラッチ11は、システムクロック4がアサートされていない間はライトアドレス1をそのまま通し、システムクロック4がアサートされている間は直前に入力されていたライトアドレス1を保持し、出力する。一方、リードアドレスラッチ12は、システムクロック4がアサートされている間はリードアドレス2をそのまま通し、システムクロック4がアサートされていない間は直前に入力されていたリードアドレス2を保持し、出力する。ライトアドレスラッチ11の出力するライトアドレスはライトアドレスデコーダ31によりデコードされ、リードアドレスラッチ12の出力するリードアドレスはリードアドレスデコーダ32によりデコードされる。ライトアドレスラッチ11およびリードアドレスラッチ12がフリップフロップを採用していないのは、ライトアドレスデコーダ31およびリードアドレスデコーダ32におけるデコードを早期に行うためである。したがって、ラッチ構造とすることが望ましいが、フリップフロップ構造の採用を排除するものではない。

【0021】ライトイネーブルフリップフロップ21は、システムクロック4の立ち上がりで直前に入力されていたライトイネーブル信号3を保持し、出力する。

【0022】図2を参照すると、ライトタイミング生成回路41は、ライトイネーブルフリップフロップ21の出力とシステムクロック4との論理積をライト用ワードドライバ駆動信号線43として生成するアンドゲート412と、システムクロック4の反転信号をライトプリチャージ信号45として生成するインバータ411とを含んでいる。

【0023】図3を参照すると、リードタイミング生成回路42は、システムクロック4をリードプリチャージ

信号46として出力し、システムクロック4の反転信号をリード用ワードドライバ駆動信号として出力する。

【0024】図1を参照すると、ライトワードドライバ51は、ライトアドレスデコーダ31からの信号とライトタイミング生成回路41からのライト用ワードドライバ駆動信号43との論理積をライトワード信号53として出力する。すなわち、指定されたアドレスがメモリセルアレイ60に該当するものであれば、ライト用ワードドライバ駆動信号43をメモリセルアレイ60に与える。

【0025】リードワードドライバ52は、リードアドレスデコーダ32からの信号とリードタイミング生成回路42からのリード用ワードドライバ駆動信号44との論理積をライトワード信号54として出力する。すなわち、指定されたアドレスがメモリセルアレイ60に該当するものであれば、リード用ワードドライバ駆動信号44をメモリセルアレイ60に与える。

【0026】次に、本発明の実施の形態における動作について図面を参照して説明する。

【0027】図1および図4を参照すると、まずシステムクロック4がアサートされていない期間にライトアドレス1およびライトイネーブル信号3が与えられると、ライトアドレスラッチ11はライトアドレスデコーダ31にライトアドレスを出力する。これにより、システムクロック4がアサートされるまでの間、デコードに要する時間が確保される。また、このシステムクロック4がアサートされていない期間にはライトプリチャージが行われる。

【0028】そして、システムクロック4がアサートされると、ライトワードドライバ51を通じてメモリセルアレイ60内のライト用ワード線が駆動されて、入力データ61に与えられているデータが、指定されたアドレスの各セルに書き込まれる。一方、これと並行して、リードアドレスラッチ12はリードアドレスデコーダ32にリードアドレスを出力する。これにより、システムクロック4がアサートされなくなるまでの間、デコードに要する時間が確保される。また、このシステムクロック4がアサートされている期間にはリードプリチャージが行われる。

【0029】そして、システムクロック4がアサートされなくなると、リードワードドライバ52を通じてメモリセルアレイ60内のリード用ワード線が駆動されて、指定されたアドレスの各セルからデータが読み出されて、出力データ62に出力される。

【0030】このように、本発明の実施の形態によれば、ライト動作と並行してリードプリチャージを行うようにして、ライト動作とリード動作のタイミングを1/2サイクルずらしたことにより、高速動作時においても1サイクルでライト後のデータをリードすることができ

【0031】本発明においては、例えば、RAMのポート数はシステムの要求に応じて任意の数に設定することができる。また、リードイネーブル信号を付加して外部からタイミングを生成するにしてもよい。また、外部から適正なタイミングで各信号を供給できることが保証されるのであればライトアドレスラッチやリードアドレスラッチは必ずしも備える必要はない。この点は、ライトイネーブルフリップフロップ21についても同様である。

【0032】

【発明の効果】以上の説明で明かなように、本発明によると、マルチポートメモリにおいてライト動作とリード動作のタイミングを1/2サイクルずらしたことにより、高速動作時においても1サイクルでライト後のデータをリードすることができる。また、バイパス回路を設ける必要もないことから、回路構成を単純化し、設計を容易にすることができる。

【図面の簡単な説明】

【図1】本発明のメモリ制御装置の実施の形態の構成を示すブロック図である。

【図2】本発明におけるライトタイミング生成回路の構成を示す図である。

【図3】本発明におけるリードタイミング生成回路の構成を示す図である。

【図4】本発明の実施の形態の動作を表す図である。

【図5】従来技術の構成を示すブロック図である。

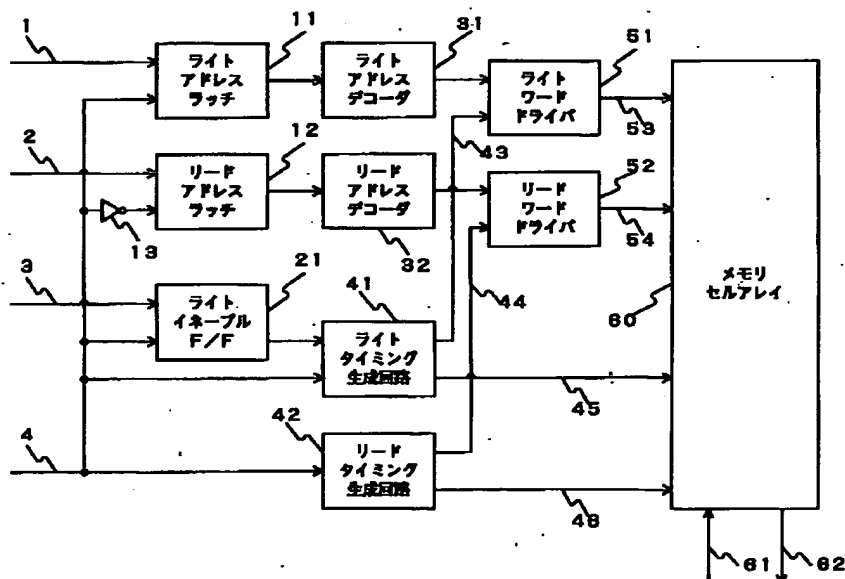
【図6】従来技術の動作を表す図である。

【符号の説明】

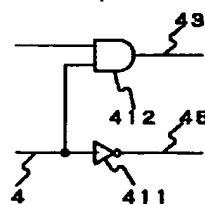
1 ライトアドレス線

2 リードアドレス線
3 ライトイネーブル線
4 システムクロック線
11 ライトアドレスラッチ
12 リードアドレスラッチ
13 インバータ
21 ライトイネーブルフリップフロップ
31 ライトアドレスデコーダ
32 リードアドレスデコーダ
41 ライトタイミング生成回路
42 リードタイミング生成回路
43 ライト用ワードドライバ駆動信号線（ライトパルス）
44 リード用ワードドライバ駆動信号線
45 ライトプリチャージ信号線
46 リードプリチャージ信号線
51 ライトワードドライバ
52 リードワードドライバ
53 ライトワード線
54 リードワード線
60 メモリセルアレイ
61 データ入力線
62 データ出力線
91 ライトアドレスフリップフロップ
92 リードアドレスフリップフロップ
99 ディレイゲート
411, 421 インバータ
412 NANDゲート

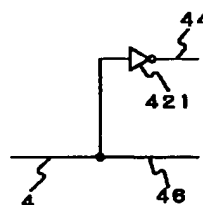
【図1】



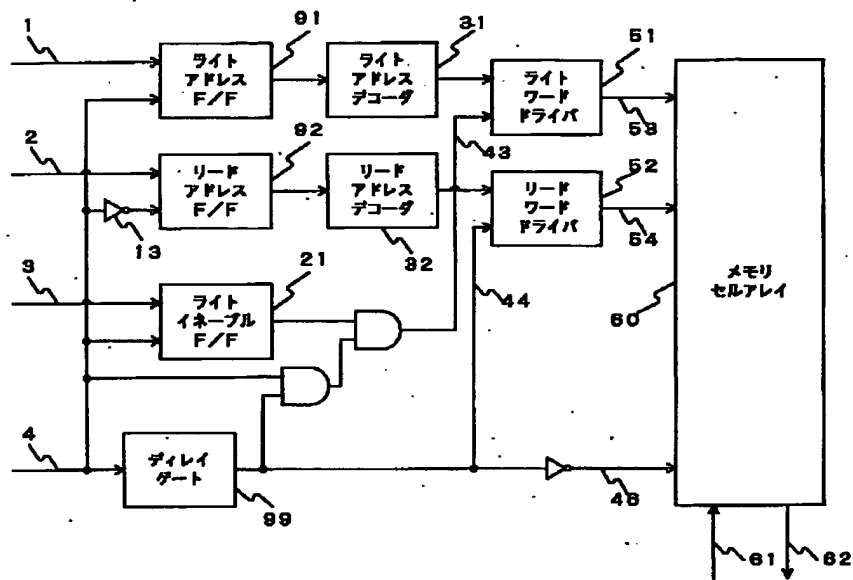
【図2】



【図3】



【図5】



【図6】

